

# IMPLEMENTATION OF FAST SERIAL BUS ON FPGA

**Jakub Drbal**

Master Degree Programme (2), FEEC BUT

E-mail: xdrbal04@stud.feec.vutbr.cz

Supervised by: Marián Pristach

E-mail: xprist00@stud.feec.vutbr.cz

**Abstract:** This paper deals with implementation of fast serial bus in the FPGA chip. The work is divided into two parts. In the first part the circuit for communication between the FPGAs is designed and in the second part the circuit for direct connection of SATA hard disk to a gate array is created. The circuit for communication between the FPGA is designed according to SATA specification. Link layer and physical layers are implemented in VHDL with programmable logic resources.

**Keywords:** Serial bus, FPGA, VHDL, SATA

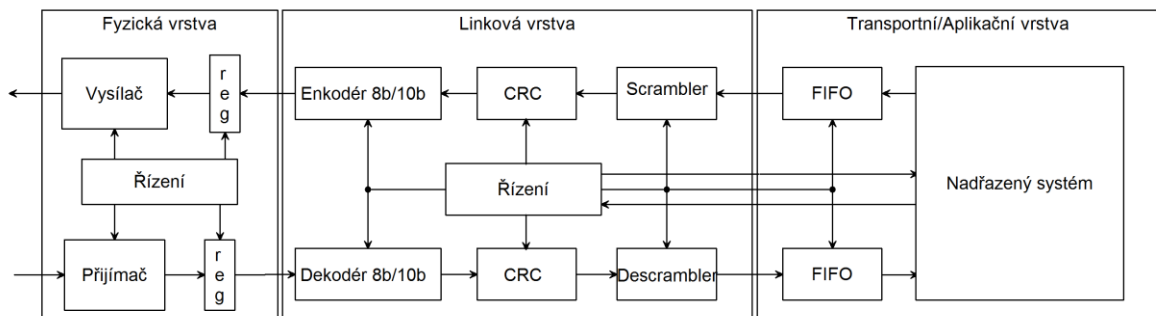
## 1 ÚVOD

Rychlé sériové sběrnice jsou využívány ve všech moderních zařízeních, která potřebují přenášet, ukládat nebo zpracovávat velké objemy dat. Rychlost přenosu se pohybuje v řádech stovek Mb/s až jednotek Gb/s. Tato práce se zabývá návrhem a implementací sběrnice v obvodech FPGA (hardwarového pole) odvozenou od specifikace SATA.

Nejprve bylo navrženo rozhraní umožňující komunikaci mezi dvěma obvody FPGA. Bylo uzpůsobeno pro levnější obvody, které neobsahují hardwarové prostředky pro rychlou sériovou komunikaci. Testování přenosu dat probíhá mezi obvody Spartan-3E a Spartan-6. V druhé části byl navržen kontrolér pro přímé připojení pevného disku k obvodu FPGA. Protože nejvyšší rychlost přenosu dat je 1,5 Gb/s, musí být využit gigabitový vysílač (GTP), který je obsažen pouze v dražších obvodech. Pro implementaci byl zvolen obvod Virtex-5.

## 2 RYCHLÁ SÉRIOVÁ SBĚRNICE PRO OBVODY FPGA

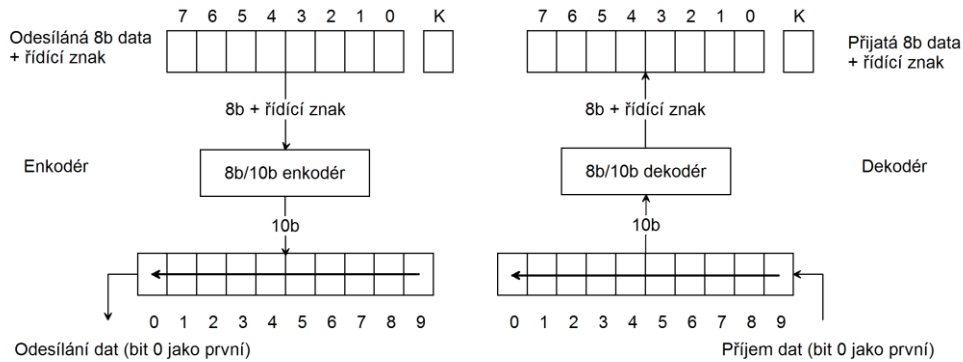
Návrh rychlé sériové sběrnice pro komunikaci mezi obvody FPGA se skládá ze dvou vrstev. První je fyzická vrstva, která zajišťuje odesílání a příjem dat a druhá je linková vrstva, která řídí přenos dat a také zajišťuje kódování dat a generování kontrolního součtu CRC. Blokové schéma navrženého obvodu je na obrázku 1.



**Obrázek 1:** Blokové schéma navrženého rozhraní

## 2.1 FYZICKÁ VRSTVA

Fyzická vrstva se stará o odesílání a příjem dat. Odesílaná data jsou kódována tak, aby umožňovala asynchronní přenos. Pro kódování přenosu je použit kód 8b/10b, který převádí osmi bitová data na deseti bitový kód. Kódováním se zajišťuje zachování konstantní stejnosměrné složky signálu (je odeslán stejný počet jedniček a nul) a také to, aby bylo možné rekonstruovat hodinový signál (neodesílá se víc jak čtyři jedničky nebo nuly v řadě). Schéma odesílání a příjmu dat je na obrázku 2.



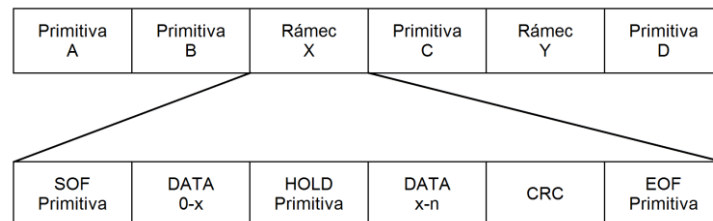
**Obrázek 2:** Kódování odesílaných dat a dekódování přijímaných dat

Vysílač je realizován jako posuvný registr. Nejprve jsou data paralelně nahrána a poté sériově odeslána. Pomocí čítače je zajištěno správné časování načítání paralelních 10b dat. Data jsou získávána z enkodéru 8b/10b.

Přijímač využívá metodu převzorkování [1]. Data jsou vzorkována čtyřikrát vyšší rychlostí, než je rychlost odesílání dat. Na základě těchto vzorků se vyhodnocuje fázový posun datového signálu a data jsou zrekonstruována. Přijetím speciálního znaku „comma“ je zajištěno správné odsazení dat. Přijátá deseti bitová data jsou odesílána do dekodéru 8b/10b.

## 2.2 LINKOVÁ VRSTVA

Linková vrstva slouží k řízení přenosu dat. Je navržena jako zjednodušená verze linkové vrstvy SATA rozhraní [2]. Řízení je realizováno pomocí speciálních znaků (primitiv), která jsou předávána mezi zařízeními obsahující toto rozhraní. Tyto znaky mají délku 32 bitů a začínají vždy řídicím symbolem. Dále se linková vrstva stará o kódování přenosu a výpočet kontrolního součtu CRC. Data, která mají být vysílána, jsou uložena ve vstupní FIFO paměti. Přijátá data jsou po přijetí uložena ve výstupní FIFO paměti. Struktura odesílaných dat je na obrázku 3.



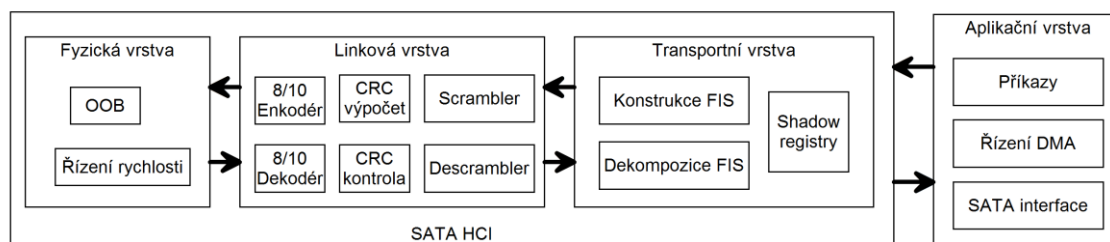
**Obrázek 3:** Struktura odesílaných dat

Příjem a odesílání dat řídí stavový automat umístěný v linkové vrstvě. Ten je navržen podle SATA specifikace. [2] Celkem přitom obsahuje čtyři typy stavů a to klidové stavy a stavy příjmu a odesílání dat. Stav pro řízení napájení uvedené v SATA specifikaci byly při návrhu vynechány. Dále linková vrstva kontroluje chybovost dat a zajišťuje případné resetování linky.

### 3 KONTROLÉR PRO PŘIPOJENÍ SATA DISKU K OBVODU FPGA

Kontrolér pro připojení SATA disku obsahuje (oproti rozhraní pro komunikaci mezi obvody FPGA) transportní a aplikační vrstvu, která vychází přímo ze specifikace SATA. Tyto vrstvy nebyly použity u rozhraní pro komunikaci mezi obvody FPGA. Jsou totiž uzpůsobeny pro řízení paměťových médií, zatímco navržené rozhraní je pro univerzální použití, kdy uspořádání dat a způsob komunikace závisí na konkrétní aplikaci.

Blokové schéma navrženého SATA kontroléru je na obrázku 4. Umožňuje odesílání a příjem příkazů nebo dat. Navržený kontrolér je určen k připojení na vnitřní sběrnici systému, který bude obsahovat řídicí procesor.



Obrázek 4: Blokové schéma SATA kontroléru

### 4 ZÁVĚR

V této práci je zkoumána možnost implementace rychlé sériové linky v obvodech FPGA. Sériové rozhraní bylo popsáno v jazyce VHDL. Je složeno z fyzické a linkové vrstvy. Fyzická vrstva odesílá a přijímá data, která jsou kódována tak, aby umožňovala jejich asynchronní přenos. Příjem dat je realizován metodou převzorkování. Linková vrstva, která slouží k řízení přenosu, je navržena podle specifikace SATA.

Navržené rozhraní bylo implementováno do obvodu Spartan-3E [3] a Spartan-6 [4]. Dále bylo otestováno navázání spojení mezi těmito obvody a odesílání dat. Maximální rychlost je momentálně 200 Mb/s. Dále bude testována spolehlivost navrženého rozhraní a dojde k optimalizaci funkce jednotlivých bloků. Jako další bude vytvořen kontrolér pro přímé připojení pevného disku k obvodu FPGA Virtex-5. Tato rozhraní jsou plánována pro využití v aplikacích, které budou potřebovat rychle přenášet velké objemy dat s možností uložení na pevný disk pro další zpracování.

### REFERENCE

- [1] SAWYER, Nick. *Application note: Data recovery*. v2.5, 2005 [cit. 2014-2-6]. Dostupné z WWW: [http://www.xilinx.com/support/documentation/application\\_notes/xapp224.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp224.pdf).
- [2] The Serial ATA International Organization. *Serial ATA Specification*. Rev. 3.0, 2009-6-2 [cit. 2014-2-6]. Dostupné z WWW: <https://www.sata-io.org/purchase-spec>.
- [3] XILINX. *Spartan-3E FPGA Family: Data Sheet* [online]. v4.1, 2013-06-19 [cit. 2013-12-6]. Dostupné z WWW: [http://www.xilinx.com/support/documentation/data\\_sheets/ds312.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf).
- [4] XILINX. *Spartan-6 FPGA Family: Data Sheet* [online]. v2.0, 2011-10-25 [cit. 2013-12-6]. Dostupné z WWW: [http://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf).