

ROBOT CONTROLLER FOR TESTING FAULT-TOLERANCE

Jakub Podivínský

Master Degree Programme (2), FIT BUT

E-mail: xpodiv01@stud.fit.vutbr.cz

Supervised by: Marcela Šimková

E-mail: isimkova@fit.vutbr.cz

Abstract: In the development of current hardware systems, e.g. embedded systems or computer hardware, new ways how to increase their dependability are highly investigated. One way how to tackle the issue of dependability is to make use of the fault-tolerant (FT) system design. This paper describes one exemplary FT system: a robot controller, which drives autonomous movement of a robot in a maze. The main contribution of this work is in designing the robot controller as a complex system that allows testing and validating different fault-tolerance methodologies based on Field Programmable Gate Array (FPGA).

Keywords: Fault-tolerance, FPGA, robot, testing.

1. ÚVOD

Jedním ze současných trendů je neustálé zvyšování komplexnosti číslicových systémů, což vede k vysoké míře jejich integrace. Značnou nevýhodou je, že s rostoucí mírou integrace zároveň klesá spolehlivost číslicových systémů a je nutné hledat cesty, jak ji opětovně zvýšit. Intenzivně se rozvíjející oblastí, která se zaměřuje na zvýšení spolehlivosti, je návrh metodik, jak zabezpečit odolnost systémů proti poruchám. V rámci tohoto přístupu se již při návrhu bere v potaz možnost výskytu poruchy, a proto je systém navrhován tak, aby se vliv poruch v systému neprojevil, případně jen minimálně.

Dnes dostupné metodiky pro návrh systémů odolných proti poruchám založených na technologii programovatelných hradlových polí (FPGA) jsou ověřovány pouze na jednoduchých obvodech jako je 7-segmentový displej a čítač [1], aritmeticko-logická jednotka [2], FIR filtr [2] nebo jednoduchý konečný automat [3]. Na rozdíl od zmíněných metodik, úkolem této práce je navrhnout komplexní systém určený pro testování a ověřování kvality jak stávajících, tak nových metodik pro zajištění odolnosti proti poruchám u systémů založených na FPGA. Konkrétně se jedná o řídicí jednotku robota určeného pro samočinný pohyb v bludišti. Kombinací navrženého systému a externího injektoru poruch [1] vznikne nová komplexní testovací platforma, která umožní sledovat vliv poruch nejen na výstup samotného číslicového systému, ale i na mechanickou část, kterou tento systém řídí.

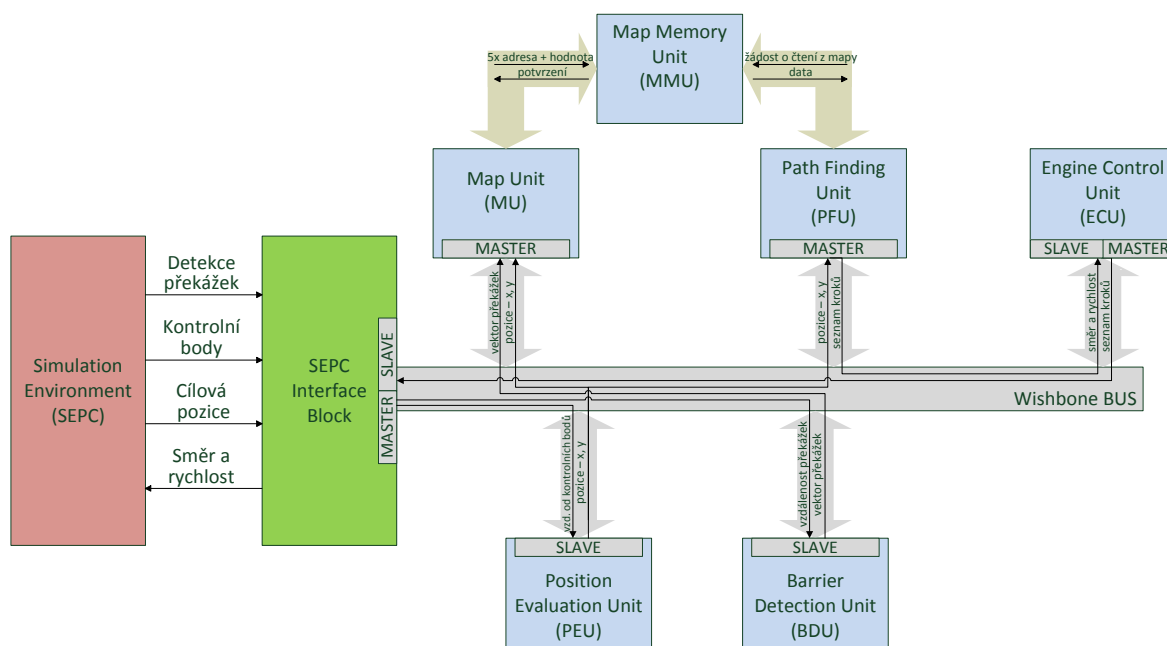
2. POŽADAVKY NA SYSTÉM

Aby bylo možné vyvíjené metodiky aplikovat na reálné hardwarové obvody, musí představovat navržená řídicí jednotka robota dostatečně komplexní systém. Bude pokrývat nejrůznější aspekty návrhu číslicových systémů, na kterých bude možné ověřovat různé metodiky pro zabezpečení odolnosti proti poruchám. Samozřejmostí je využití kombinačních i sekvenčních obvodů. Sekvenční obvody se vyznačují složitým chováním, jelikož jsou tvořeny jak kombinační logikou, tak registry pro uchování stavu, čímž jsou velmi zajímavé z hlediska odolnosti proti poruchám. Žádoucí je také využití sběrnice propojující jednotlivé funkční bloky obvodu, jejíž selhání může vést k selhání celého systému. Zabezpečení sběrnice proti poruchám je poměrně náročné, jelikož využívá velké množství zdrojů propojovací sítě FPGA. Použití paměti v navrhovaném systému s sebou nese

možnost testování metodik pro zabezpečení paměti, která je obvykle vysoce náchylná k výskytu poruch. Poškození či změna hodnot uložených v paměti může způsobit výraznou změnu výstupů celého systému.

3. NÁVRH ŘÍDICÍ JEDNOTKY ROBOTA

Obrázek 1 představuje blokové schéma navržené řídicí jednotky robota včetně zobrazení datových toků mezi jednotlivými funkčními bloky. Řídicí jednotka bude připojena k počítači, na kterém běží simulační prostředí (*SEPC – Simulation Enviroment PC*) přes rozhraní SEPC (*SEPC Interface*), což je rozhraní celé řídicí jednotky, jehož prostřednictvím jsou získávána data (informace o překážkách, vzdálenosti od kontrolních bodů, cílová pozice) a předávány pokyny k pohybu robota (směr a rychlost). Následuje detailní popis jednotlivých funkčních bloků.



Obrázek 1: Blokové schéma navržené řídicí jednotky robota.

Blok pro vyhodnocení polohy (**PEU – Position Evaluation Unit**) získává vzdálenost od kontrolních bodů, které jsou rozmístěny na fixních pozicích v mapě. Z nich vypočítá pozici robota v mapě, kterou poskytuje dalším jednotkám ve formě souřadnic x a y. Pozice robota v mapě je počítána pomocí Pythagorovy věty, z čehož lze odvodit, že náplní práce tohoto bloku jsou především sekvencí aritmetické výpočty, jako je sčítání, násobení a dělení.

Blok pro vyhodnocení překážek (**BDU – Barrier Detection Unit**) ke své činnosti využívá čtyři senzory umístěné na stranách robota (robot je reprezentován čtyřbokým hranolem). Senzory informují o vzdálenosti nejbližší překážky od robota. Jedná se o kombinační obvod, jehož výstupem je čtyřbitový vektor informující o výskytu překážek v čtyř-okolí robota.

Paměť pro uložení informací o aktuální mapě (**MMU – Map Memory Unit**) uchovává pro každou souřadnici mapy čtyři bity. První bit informuje o výskytu překážky, druhý bit je příznak aktuálnosti informace o dané souřadnici a zbylé dva bity tvoří rezervu pro potřeby vyhledávání cesty v mapě. Paměť je realizována pomocí blokové paměti BRAM dostupné na FPGA a je přímo propojena s bloky, se kterými bude komunikovat.

Jednotka pro aktualizaci mapy (**MU – Map Unit**) provádí automatickou aktualizaci mapy v paměti na základě informací o aktuální pozici robota získané z bloku PEU a vektoru překážek poskytnutého blokem BDU. Činnost této jednotky je nezávislá na činnosti ostatních bloků, průběžně získává požadované informace a provádí aktualizaci pěti paměťových míst (čtyř-okolí a vlastní poloha).

Nejdůležitějším blokem, který řídí činnost ostatních bloků v řadiči robota je blok pro hledání cesty (*PFU – Path Finding Unit*) realizující algoritmus pro hledání cesty v bludišti se zpětným navracením. Jedná se o blok, který na základě informace o aktuální a cílové pozici vyhledá cestu v mapě. K dispozici má přímý přístup do paměti, do které jsou blokem MU průběžně ukládány informace o překážkách. Blok produkuje seznamy pozic, které je nutné projít v dalším kroku, aby se robot dostal k cílové pozici.

Pohyb robota je ovládán nastavením rychlosti v požadovaném směru pohybu prostřednictvím bloku pro ovládání robota (*ECU – Engine Control Unit*). Vstupem je seznam pozic, které musí robot projít, na jehož základě je průběžně nastavována rychlost a směr pohybu robota.

Centrálním prvkem celé řídicí jednotky je sběrnice (**Wishbone BUS**), prostřednictvím které mezi sebou komunikují jednotlivé funkční bloky. Použití sběrnice pro komunikaci usnadní budoucí možné rozšíření o další jednotky pro podporu hledání cesty v bludišti. Obrázek 1 ukazuje, mimo jiné, jaký vztah mají jednotlivé bloky ke sběrnici, tedy zda mají funkci *master*, *slave* nebo *master i slave*.

4. ZÁVĚR

Navrhnul jsem komplexní systém v podobě řídicí jednotky robota, který bude v kombinaci s injektorem poruch [1] sloužit pro testování a ověřování metodik pro zabezpečení odolnosti proti poruchám u systémů založených na FPGA. Protože řídicí jednotka ovládá pohyb robota v simulačním prostředí, umožňuje nám to sledovat vliv poruch nejen na výstupy číslicového systému, ale navíc i na řízenou mechanickou část robota. V tabulce č. 1 je uveden přehled využití zdrojů nedokončené implementace na FPGA řady Virtex 5 od firmy Xilinx, ze kterého je patrné, že se jedná o rozsáhlejší obvod, než jsou testovací obvody uvedené výše.

Počet registrů	Počet LUT	Počet BRAM
750 (2%)	1100 (3%)	1 (1%)

Tabulka 1: Využití zdrojů na FPGA při nedokončené implementaci.

V mé další práci bych se rád zaměřil na dokončení implementace navržené řídicí jednotky robota a její otestování s využitím obvodu FPGA řady Virtex 5 od firmy Xilinx, který je dostupný na vývojové desce ML506. S touto vývojovou deskou byl testován také zmiňovaný injektor poruch [1] a je pro ni připraveno rozhraní pro komunikaci řídicí jednotky s robotem v simulačním prostředí. Dále také navrhu zabezpečení odolnosti jednotlivých funkčních bloků proti poruchám pomocí dostupných metodik. Na tuto práci bych chtěl navázat i v rámci doktorského studia.

PODĚKOVÁNÍ

Tento příspěvek vznikl za podpory grantu FIT-S-11-1, výzkumného záměru MSM 0021630528 a projektů COST LD12036 a RECOMP.

REFERENCE

- [1] STRAKA M., J. KAŠTIL, Z. KOTÁSEK a L. MIČULKA. Fault Tolerant System Design and SEU Injection Based Testing. In: *Microprocessors and Microsystems*. Amsterdam, NL: 2012, č. 01, 16 s. ISSN 0141-9331.
- [2] KASTENSMIDT, F. L., L. CARRO a R. REIS. *Fault-tolerance techniques for SRAM-based FPGAs*. Dordrecht: Springer, 2006, 183 s. ISBN 0-387-31068-1.
- [3] FRIGERIO, L. a F. SALICE. RAM-based fault tolerant state machines for FPGAs. In: *Proceedings of the 22nd IEEE International Symposium on Defect and Fault-Tolerance in VLSI Systems*. Washington, DC, USA: IEEE Computer Society, 2007, s. 312-320. ISBN 0-7695-2885-6.