

GENERIC LOGIC ANALYZER

Martin Tajč

Master Degree Programme (2), FEEC BUT

E-mail: xtajcm01@stud.feec.vutbr.cz

Supervised by: Michal Kubíček

E-mail: kubicek@feec.vutbr.cz

Abstract: The aim of the project is to design a generic logic analyzer based on an FPGA. The analyzer should be able to analyze protocols such as I2C, SPI, RS232, RS485 and GPIO. The captured data can be observed using an embedded graphical display or using a PC. The PC can be used to control the analyzer and to save the captured data.

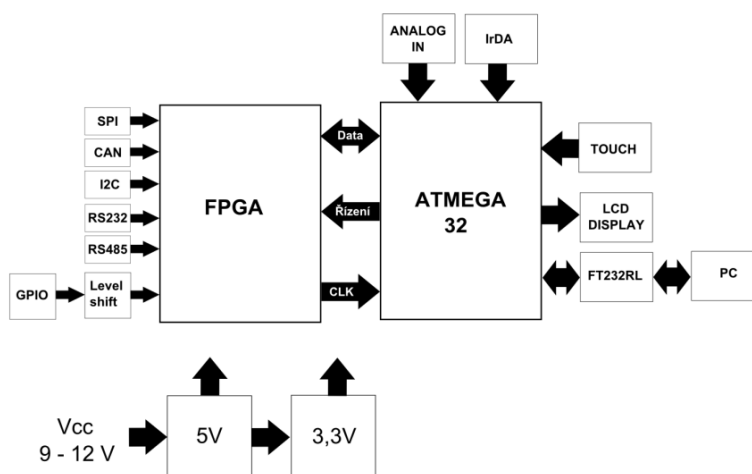
Keywords: Logic analyzer, FPGA, microcontroller, LCD, USB, I²C, SPI, RS232, RS485

1. ÚVOD

Logický analyzátor je elektronické zařízení, které se používá pro identifikaci logických stavů na datových sběrnicích, nebo na samostatných datových vodičích. Připojením k měřenému obvodu analyzátor detekuje dva stavy: vysokou a nízkou logickou úroveň. Hlavním důvodem použití takového analyzátoru je jeho schopnost uložení několika po sobě jdoucích stavů a tím názorné zobrazení datové komunikace po jednotlivých bitech, nebo po celých datových rámcích. Tím lze přesně analyzovat probíhající datovou komunikaci.

2. POPIS A REALIZACE ANALYZÁTORU

Logický analyzátor může být vytvořen pomocí klasického mikrokontroléru, signálového procesoru, nebo pomocí obvodu FPGA. Navržená koncepce vytvořeného logického analyzátoru je kombinací mikrokontroléru a obvodu FPGA. Tímto řešením získáme vysokou vzorkovací frekvenci díky vlastnostem obvodu FPGA a poměrně jednoduchou obsluhu okolních periférií (jako například grafického displeje, nebo snímání dotykové fólie) pomocí mikrokontroléru. Blokové schéma sestrojeného analyzátoru lze vidět na obrázku 1.

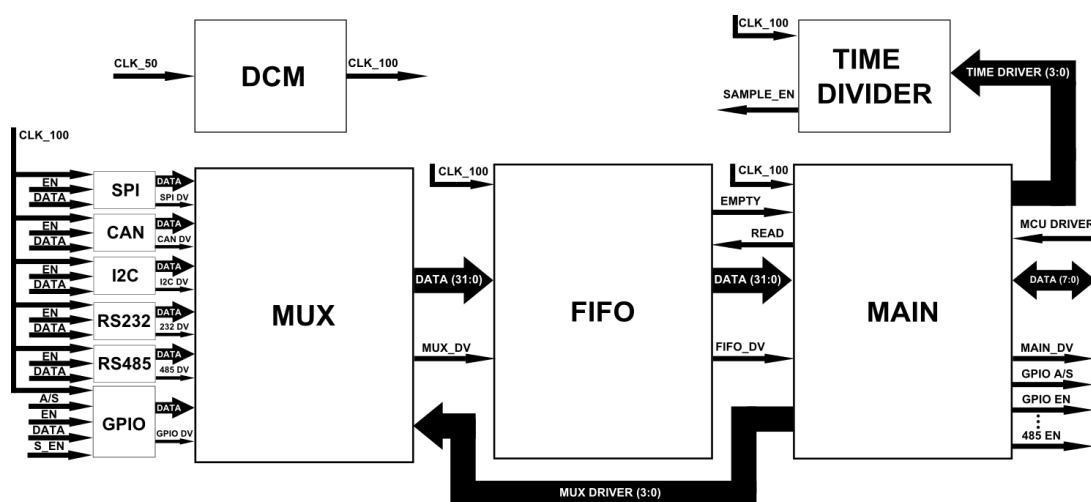


Obrázek 1: Blokové schéma logického analyzátoru

Vstupní bloky RS232, RS485, CAN a GPIO obsahují obvody pro změnu jednotlivých logických úrovní na 3,3V nutných pro komunikaci s obvodem FPGA. Analyzátor dále obsahuje obvod FPGA Spartan3E firmy XILINX, který snímá stav datové sběrnice, provádí základní dekódování sériových komunikačních rozhraní a posléze posílá zachycená data do mikrokontroléru ATmega32. V případě připojeného osobního počítače jsou data dále předávána pomocí rozhraní USB a zobrazena vytvořenou počítačovou aplikací. V opačném případě jsou data zobrazována pomocí integrovaného grafického displeje přímo na analyzátoru. K mikrokontroléru je také připojena dotyková fólie, díky které lze ovládat zařízení bez nutnosti připojení osobního počítače. Tato fólie je umístěna přímo na grafickém displeji. Zařízení lze také využít jako voltmetr s datovou pamětí pomocí A/D převodníku. Posledními funkčními bloky jsou dva zdroje stejnosměrného napětí o nominální hodnotě 5,5V a 3,3V.

3. BLOKOVÉ SCHÉMA ANALYZÁTORU V OBVODU FPGA

Vytvořený akvizici systém v obvodu FPGA lze znázornit následujícím blokovým schématem.

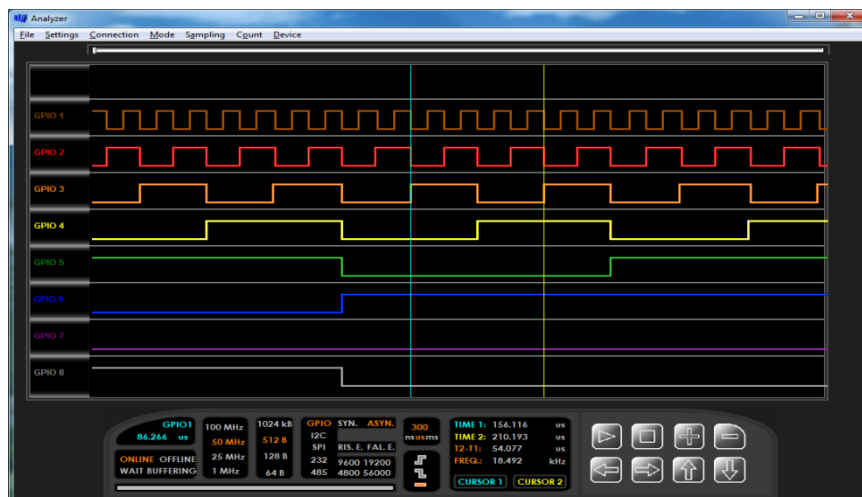
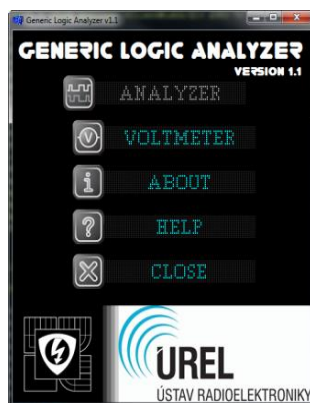


Obrázek 2: Blokové schéma systému vytvořené v obvodu FPGA

Blokem DCM je dvakrát zvýšen hodinový kmitočet z 50 MHz na hodnotu 100 MHz. Jednotlivé vstupní bloky pro daný standard jsou aktivovány pomocí povolovacího signálu z bloku MAIN. Dále jsou řízeny společným hodinovým signálem, navíc blok GPIO je dále ještě přepínán mezi synchronním a asynchronním režimem. Ze vstupních bloků jsou posílána nasnímaná data přes multiplexor do paměti typu FIFO, která obsahuje paměť 1024 pozic pro 32bitovou sběrnici. Po zjištění platných hodnot v paměti FIFO zažádá blok MAIN o jejich přečtení a poté je předá podstatně menší rychlostí mikrokontroléru. Datová sběrnice mezi výstupním blokem MAIN v obvodu FPGA a mikrokontrolérem je obousměrná pro možnost ovládní chodu programu v obvodu FPGA mikrokontrolérem. Poslední vytvořený blok TIME DIVIDER umožňuje měnit vzorkovací frekvenci snímání pro vstupní blok GPIO.

4. VYTVOŘENÁ APLIKACE A GRAFICKÉ ROZHŘANÍ

Pro zobrazení naměřených dat pomocí osobního počítače bylo nutné vytvořit počítačovou aplikaci. Touto aplikací lze sledovat průběh až šestnácti datových signálů v asynchronním nebo synchronním režimu a jejich časovou změnu, zmenšovat nebo zvyšovat počet zobrazených bitů, sledovat vzájemnou souvislost signálů, ukládat a nahrávat naměřená data, ovládat funkce snímání a měřit dobu trvání daného signálu pomocí kurzorů. Ukázka vytvořené aplikace je zobrazena na obrázku 3.



Obrázek 3: Vytvořená aplikace logického analyzátoru

Dále bylo vytvořené rozhraní pro zobrazení naměřených hodnot na grafickém displeji při absenci osobního počítače. Návrh vycházel z požadavků na ovládání pomocí dotykové fólie. Proto jsou ikony rozprostřeny po celém displeji a výběr ikony probíhá stiskem na danou ikonu. Po dotyku s fólií je následně dvěma A/D převodníky zjištěna aktuální poloha stisku. Na obrázku 4 lze vidět vytvořené menu pro ovládání analyzátoru pomocí grafického displeje.



Obrázek 4: Vytvořené rozhraní pro grafický displej

5. ZÁVĚR

V současné době je vytvořený hardware analyzátoru a rozpracován zdrojový kód pro mikrokontrolér ATmega32, obvod FPGA a osobní počítač. Aktuální dosažená hodnota vzorkovací frekvence je 100 MHz, analyzovatelné napěťové úrovně jsou: 2.5V, 3.3V a 5V. Najednou lze měřit 16 datových vodičů, nebo si lze vybrat z režimů snímání standardů I2C, SPI, RS232 a RS485. Dále lze měřit a graficky zobrazit dvě hodnoty napětí v rozsahu 0 – 50V.

PODĚKOVÁNÍ

Tento příspěvek vzniknul za podpory projektu CZ.1.07/2.3.00/20.0007 WICOMT, financovaného z operačního programu Vzdělávání pro konkurenceschopnost.



REFERENCE

- [1] MATOUŠEK, D. *Práce s mikrokontroléry ATMEL AVR Atmega16 4.díl.* Praha: BEN – technická literatura, 2006.
- [2] XILINX. *Spartan-3E FPGA Family Data Sheet.* [online] citováno 2. března 2013. Dostupné na [www: http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf)