

# PCI EXPRESS INTERFACE FOR SIGNAL AND VIDEO PROCESSING

**Martin Musil, Petr Musil**

Master Degree Programme (2), FIT BUT

E-mail: {xmusal34, xmusal36}@stud.fit.vutbr.cz

Supervised by: Pavel Zemčik

E-mail: zemcik@fit.vutbr.cz

**Abstract:** This article presents an FPGA unit for communication via PCI Express bus. The unit is designed for high-speed stream data transmission between computer main memory and FPGA chip on which the user circuits can be implemented for (pre)processing of such data, for example signal or video. The proposed device is capable of bus mastering mode, therefore it is capable of DMA transfers. Focus was put also on easy portability and device reuse in various projects. An integral part of the solution is the driver for Linux operating system.

**Keywords:** FPGA, VHDL, PCI Express, stream, přenos dat, ovladač

## 1 ÚVOD

Řada aplikací v dnešní době vyžaduje vysoký výpočetní výkon pro zpracování velkého objemu dat. Dobrým příkladem jsou úlohy zpracování signálů, nejčastěji zvukových či obrazových. K tomuto účelu se hojně využívají řešení založená na různých výpočetních architekturách, například DSP procesorech, grafických kartách nebo FPGA čipech. Právě čipy FPGA nabízejí zajímavé možnosti akcelerace výpočtů díky své programovatelné architektuře. Je tak možné navrhnout výpočetní obvod přímo na míru aplikaci a tím výrazně zvýšit výkonnost a efektivitu řešení.

Ne všechny operace zpracování dat se dají efektivně navrhnout pro čipy FPGA. Poměrně často se tak vyskytují řešení, která kombinují provedení nejnáročnějších operací na úrovni hardwaru a zbývající části výpočtů jsou provedeny softwarově, ať už na DSP nebo univerzálních procesorech. Právě pro platformu PC tak vznikají různé akcelerační karty, které se připojují k systémové sběrnici ať už starším rozhraním PCI nebo nejnovějším rozhraním PCI Express.

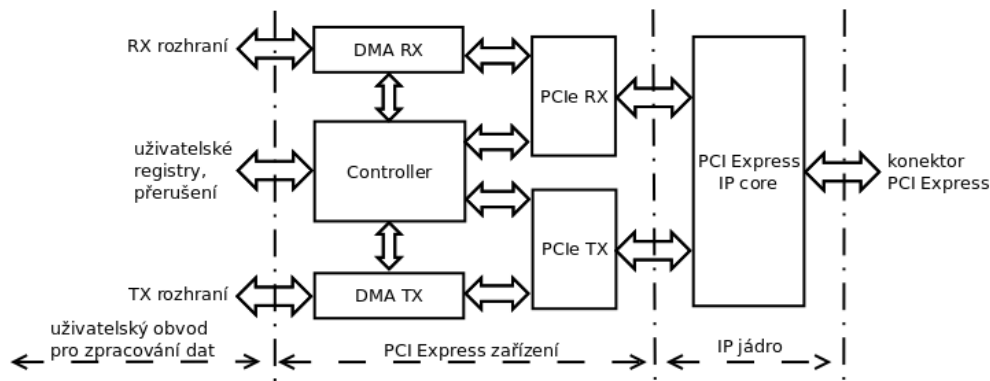
## 2 PCI EXPRESS ENDPOINT

Sběrnice PCI Express [1] je náhradou zastaralé PCI sběrnice. Odstraňuje její hlavní nevýhody, jako je paralelní přenos dat a sdílení sběrnice více zařízeními. PCI Express je již sériová a dá se říci, že si nezaslouží označení sběrnice, protože komunikace na ní probíhá vždy mezi dvěma body na nesdílené lince, tzv. *point-to-point*. Velkou výhodou je, že je možné sdružit více těchto linek a snadno tak škálovat možnou maximální přenosovou rychlost.

V této kapitole bude představen obvod popsáný v jazyce VHDL, který realizuje rychlý přenos streamovaných dat po sběrnici PCI Express mezi RAM pamětí počítače a čipem FPGA.

### 2.1 POŽADAVKY NA KONCOVÉ ZAŘÍZENÍ

Real-time zpracování audio a video streamů obecně klade vysoké nároky na přenosové rychlosti datových rozhraní. K přenosům dat dochází obvykle mezi kartou s PCI Express rozhraním a operační pamětí počítače, případně přímo s jiným zařízením na sběrnici. Aby bylo možné dosáhnout vysoké



**Obrázek 1:** Znáornění architektury zařízení

propustnosti dat, musí koncové zařízení podporovat řízení sběrnice (*Bus mastering*). Takové zařízení může generovat žádosti čtení/zápisu do hlavní paměti a plnit tak funkci DMA řadiče.

Mezi další požadavky na navrhovaný VHDL obvod patří jednoduchost použití a jeho snadná znovupoužitelnost v jiných aplikacích. Z toho vyplývá nutnost vytvořit dostatečně jednoduché a od komunikačního protokolu PCI Express zcela odstíněné rozhraní.

## 2.2 ARCHITEKTURA ZAŘÍZENÍ

Obvod zařízení se skládá z několika dílčích částí (Obrázek 1). Základním stavebním kamenem je IP jádro PCI Express [5], kde je jeho velká část realizována jako tzv. *hard* jádro, tedy vyrobená přímo na čipu. IP jádro zajišťuje funkcionalitu nižších vrstev architektury, jeho výstupem jsou až pakety nejvyšší, transportní vrstvy [3]. Jádro je poskytováno licenci společností Xilinx [5], která je výrobcem čipu FPGA. Ostatní řídicí logika byla doimplementována.

K IP jádru jsou připojeny dva obvody, PCIe RX a TX, jež mají za úkol dekodovat informace z hlaviček paketů či naopak hlavičky vytvořit z dostupných dat. Údaje z hlaviček a datová část jsou pak zvlášť předávány řídicím obvodům.

Nejsložitější částí obvodu je *Controller*. Má za úkol zpracovávat údaje hlaviček paketů, udržovat jejich kontext a na jejich základě vykonávat příslušné akce a řídit obvody pro zpracování DMA přenosu. Blok obsahuje sadu řídicích registrů, které jsou namapované do paměťového prostoru procesoru. *Controller* dále řídí přenosy DMA a k tomu přitom využívá pomocných bloků *DMA RX a TX*.

## 2.3 VÝSTUPNÍ ROZHRAŇÍ OBVODU

Rozhraní implementovaného obvodu je navrženo s ohledem na jednoduché napojení dalších obvodů. Pro zajištění přenosu dat skrz PCI Express zařízení není třeba žádná další řídicí logika na straně výpočetních obvodů. Ty jsou úplně odstíněny od komunikace na sběrnici a mají k dispozici jednoduché univerzální rozhraní. Krom samotné datové cesty o šířce 32 bitů v každém směru mají uživatelské obvody možnost řízení datového toku pomocí signálu *enable* při příjmu a *data valid* při odesílání dat. Ze strany PCIe zařízení jsou navíc dostupné další doplňující signály, které usnadňují připojení například k paměťovým blokům Block-RAM.

## 2.4 OVLADAČ ZAŘÍZENÍ

Řízení paměťových přenosů mezi pamětí RAM a PCI Express zařízením, potažmo výpočetními obvody, má na starosti uživatelská aplikace běžící na PC, která využívá služeb ovladače zařízení. V zařízení je za tímto účelem implementováno 32 uživatelských registrů a podpora zaslání přerušení.

Pro zařízení byl vytvořen ovladač pro operační systém Linux [2]. Jednoduchou prací s ovladačem dovoluje nadstavba ve formě knihovny. Voláním funkcí z knihovny je tak možné číst a zapisovat do uživatelských registrů zařízení a tak přímo komunikovat s uživatelským obvodem, inicializovat DMA přenosy dat a obsluhovat příchozí přerušování.

## 2.5 IMPLEMENTACE

Zařízení bylo úspěšně implementováno a otestováno na vývojovém kitu Xilinx SP605 [4] s rozhraním PCI Express x1 verze 1.1 [3]. Na FPGA rodiny Spartan-6 zabírá obvod celkem 628 bloků Slice (pro FPGA čip na kartě [4] to představuje 9%) a běží na frekvenci 125MHz, která je daná použitím IP jádra. Jádro si dále vyžádá 2 - 18 komponent Block-RAM (2 - 21% bloků), jejich počet je ale nastavitelný a závisí na něm výsledná propustnost rozhraní. Teoretická propustnost rozhraní PCI Express 1.1 [3] je 250MB/s. Zařízení dokáže podle měření přenášet streamy dat rychlostí až 182MB/s při čtení a 177MB/s při zápisu (viz. Tabulka 1). Tyto údaje jsou ale závislé na použitém hardware (zejména chipsetu), operačním systému, potažmo ovladači a také na parametrech *MAX\_READ\_REQUEST\_SIZE* a *MAX\_PAYLOAD\_SIZE* [1], které nastavuje systém během enumerace sběrnice. Rychlost přenosu také ovlivňuje propustnost připojených obvodů, které mají možnost řídit rychlost datového toku.

př. rychlost [MB/s]	4kB	8kB	16kB	32kB	64kB	128kB	256kB	512kB	1MB
RAM => FPGA	70.3	107.9	143.6	158.1	169.8	173.3	176.0	176.5	177.1
FPGA => RAM	83.6	118.8	151.7	166.3	179.1	182.3	182.5	182.7	182.7

**Tabulka 1:** Tabulka dosažených přenosových rychlostí pro různě velké bloky dat.

## 3 ZÁVĚR

Tento článek ukazuje návrh zařízení pro komunikaci po sběrnici PCI Express a popisuje jeho konkrétní implementaci v čipu FPGA. Zařízení je uzpůsobeno pro rychlý obousměrný přenos streamovaných dat mezi FPGA a RAM pamětí počítače, tomu je přizpůsobeno i rozhraní pro připojení obvodů na zpracování přenášených dat, které je obecné a jednoduše použitelné. Rozhraní je rozšířeno o několik informačních signálů, jejichž využití je volitelné a rozšiřují možnosti přímého připojení ke složitějším obvodům nebo interním pamětím. K dispozici je navíc také sada registrů namapovaná do paměťového prostoru počítače a mechanismus zasílání přerušování.

Zařízení popsané v tomto článku je součástí projektu na hardwarovou detekci objektů ve videosekvencích vyvíjeném na UPGM FIT.

## REFERENCE

- [1] Budruk, R.; Anderson, D.; Shanley, T.: *PCI express system architecture*. PC system architecture series, Addison-Wesley, 2004, ISBN 9780321156303.
- [2] Corbet, J.; Rubini, A.; Kroah-Hartman, G.: *Linux device drivers*. O'Reilly Software Series, O'Reilly, 2005, ISBN 9780596005900.
- [3] PCI-SIG: PCI Express Base Specification Revision 1.1 [online]. <http://www.pcisig.com>, 2005-05-28.
- [4] Xilinx, Inc.: Xilinx SP605 Evaluation kit [online]. <http://www.xilinx.com/products/boards-and-kits/EK-S6-SP605-G.htm>.
- [5] Xilinx, Inc.: Spartan-6 FPGA Integrated Endpoint Block for PCI Express User Guide [online]. [http://www.xilinx.com/support/documentation/user\\_guides/s6\\_pcie\\_ug654.pdf](http://www.xilinx.com/support/documentation/user_guides/s6_pcie_ug654.pdf), 2010.