

# PIPELINED AD CONVERTER UTILIZING SWITCHED-CAPACITOR TECHNIQUE

**Pavel Zavoral**

Master Degree Programme (1), FEEC BUT  
E-mail: zavoral.p@stud.feec.vutbr.cz

Supervised by: Jiří Háze  
E-mail: haze@feec.vutbr.cz

## ABSTRACT

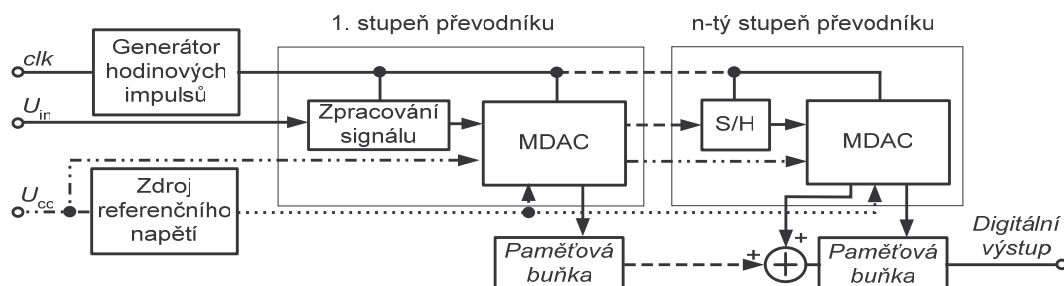
This work deals with project pipelined AD converter (ADC), where important blocks are solved on transistor level. Resistors are replaced using technology of switched capacitors (SC). Basic sight of this work is clear description of these problems. The aims of this work were to achieve preferably low distortion affected by the mistakes of switched capacitors technology and the highest speed and accuracy. Results were achieved by programs CADENCE and LTspice.

## 1. ÚVOD

Řetězové převodníky jsou v praktických zapojeních používány pro maximální rychlost vzorkování 40 MHz a rozlišení (10 - 14) bitů. Převodník obsahuje generátor hodinových impulsů, zdroj referenčního napětí, dolní propust, vzorkovací obvod, MDAC a korekci chyb, která je realizována pomocí dvoubitového převodníku DA. Ve všech zapojeních jsou rezistory nahrazovány technikou spínaných kapacitorů [1] (dále SC).

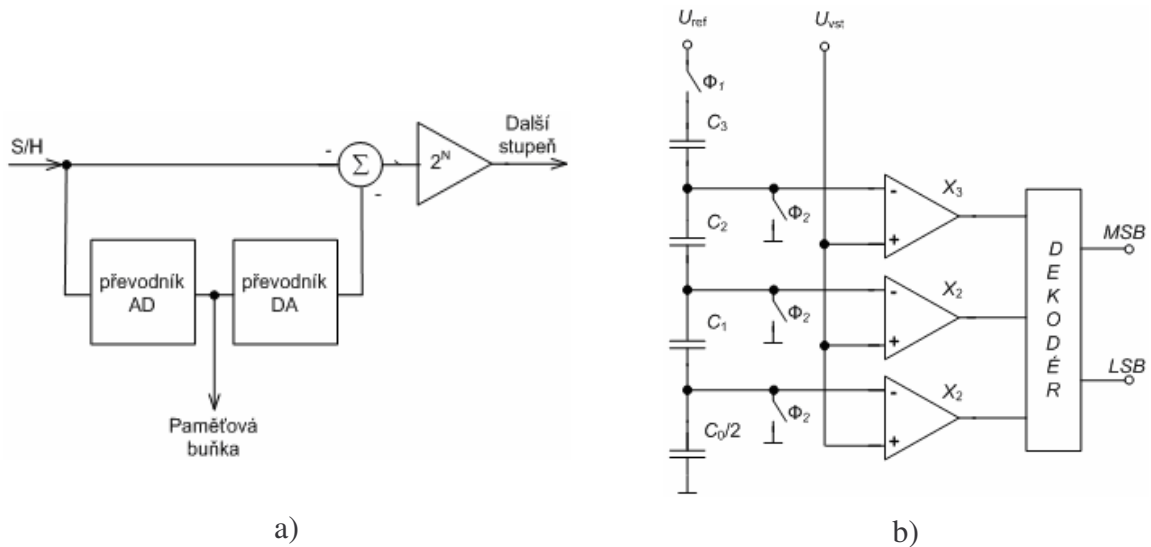
## 2. ROZBOR

Na Obr. 1 je zobrazeno blokové zapojení řetězového převodníku, které bylo realizováno pomocí MOS tranzistorů.



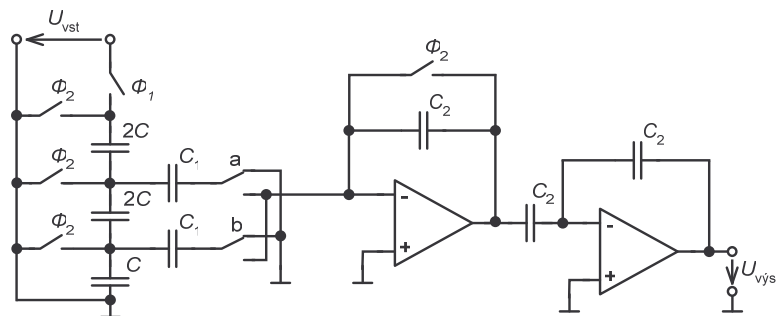
**Obr. 1:** Blokové zapojení řetězového převodníku

Na Obr. 2 a) je zobrazeno vnitřní blokové struktura MDAC [2], kde se vstupní analogový signál ze S/H zpracovává převodníkem AD, který přivádí analogový signál na digitální výstup a po převodu je zaveden do paměťové buňky a převodníku DA. Výstup do paměťové buňky se zavádí, aby nedocházelo k časovým prodlevám jednotlivých bitů na výstupu celého převodníku. Na Obr. 2 b) je reálné zapojení paralelního převodníku AD, který je dvoubitový. To znamená, že rozděluje vstupní analogový signál do 4 úrovní napětí a na výstupu z dekodéru je binární číslo.



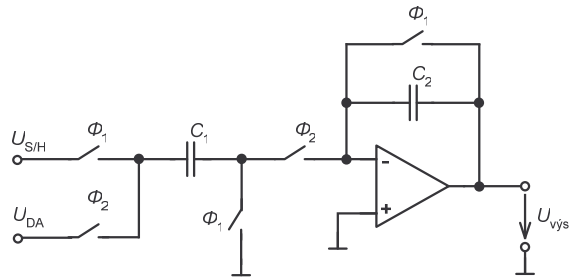
**Obr. 2:** Bloková struktura MDAC - a) zapojení převodníku AD - b)

Na Obr. 3 a) je zobrazen převodník DA, který má pozměněnou strukturu R2R. Váhové kapacity  $C$  zmenšují napětí vždy o polovinu napětí předchozího, spínače  $a$  a  $b$  jsou ovládány z převodníku AD binárním kódem. V první fázi  $\Phi_1$  je na kapacity  $C$  přiváděno vstupní napětí  $U_{vst}$ , které nabíjí i kapacity  $C_1$ , jejichž náboj je přenesen na kapacity  $C_2$ . Operační zesilovače (společně s kapacitami) jsou zapojeny jako integrační články.



**Obr. 3:** Převodník DA se SC nahrazujícími rezistory

Na Obr. 4 je zobrazen rozdílový člen, jenž od sebe odečítá analogový signál ze vstupu (od S/H) a z převodníku DA. Za rozdílovým členem je zesilovač  $2^N$ , kde je úroveň odečteného signálu zesilována, aby měla velikost zpracovávaného napětí stále stejnou úroveň a nedocházelo ke zkreslování vlivem zpracovávání malých hodnot napětí.



**Obr. 4:** Rozdílový člen společně se zesilovačem

V Tab. 1 je uvedena integrální nelinearita *INL*, která udává chybu převodníku při porovnání změřené charakteristiky a charakteristiky ideální.

| Hodnota testovaného napětí [V] | ideální binární kód | reálný binární kód | INL        |
|--------------------------------|---------------------|--------------------|------------|
| 0,5                            | 0001100110          | 0001101011         | 0000001101 |
| 1,0                            | 0011001101          | 0011001100         | 0000000001 |
| 1,5                            | 0100110011          | 0100111010         | 0000001001 |
| 2,0                            | 0110011010          | 0110010011         | 0000001001 |
| 2,5                            | 1000000000          | 1000001000         | 0000001000 |
| 3,0                            | 1001100110          | 1001100010         | 0000000100 |
| 3,5                            | 1011001100          | 1011001010         | 0000000110 |
| 4,0                            | 1100110011          | 1100111000         | 0000001011 |
| 4,5                            | 1110011001          | 1110010010         | 0000001011 |

**Tab. 1:** Určení integrální nelinearity *INL* na výstupu řetězového převodníku

## ZÁVĚR

Ve všech zapojeních řetězového převodníku byly nahrazovány rezistory spínanými kapacitami z důvodu úspory místa na čipu a nižší spotřeby (impulsní charakter).

Na vstup převodníku bylo přiváděno sinusové napětí s amplitudou max. 2,25 V a frekvencí 100 kHz (pro případ překročení poloviční frekvence vzorkování byl na vstup připojen antialiasingový filtr druhého řádu nastavený na frekvenci 100 kHz) se vzorkovací frekvencí 1 MHz.

Celkový odebíraný výkon převodníku byl 242,5 mW, rozlišení 10 bitů, hodnota LSB činila (při napájení 4,5 V) 4,3945 mV a integrální nelinearita *INL*  $\pm 4$  LSB.

## LITERATURA

- [1] UNBEHAUEN, R., CICHOCKI, A. *MOS Switched-Capacitor and Continuous Time-Integrated Circuits and Systems – Analysis and Design*. Berlin: 1989. 631 pages. ISBN 0-387-50599-7.
- [2] ALLEN, P., E., HOLBERG, D., R. *CMOS Analog Circuit Design-Second Edition*. Oxford: Oxford University Press, Inc., 2002. 784 pages. ISBN 0-19-511644-5.