

# DESIGN AND IMPLEMENTATION OF COMPONENTS FOR COMMUNICATION WITH GIGABIT ETHERNET INTERFACE IN FPGA

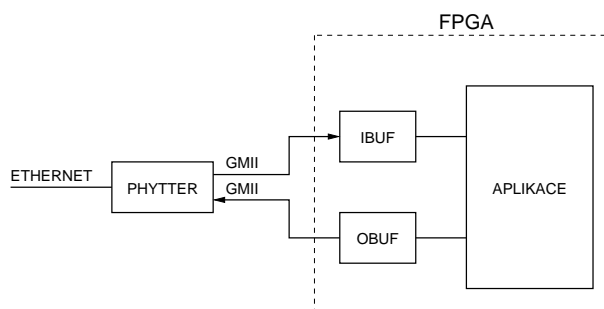
Martin MIKUŠEK, Bachelor Degree Programme (3)  
Dept. of Computer Systems, FIT, BUT  
E-mail: xmikus03@stud.fit.vutbr.cz

Supervised by: Ing. Tomáš Martínek

## ABSTRACT

This paper presents a generic architecture of Input and Output Buffer components dedicated for packet receiving and transmitting on Gigabit Media Independent Interface (GMII). Both components are primarily targeted for FPGA technology as the basic building blocks for wide area of network applications. In order to best fit requirements of target application, they offer many addition capabilities and generic parameters.

## 1 ÚVOD

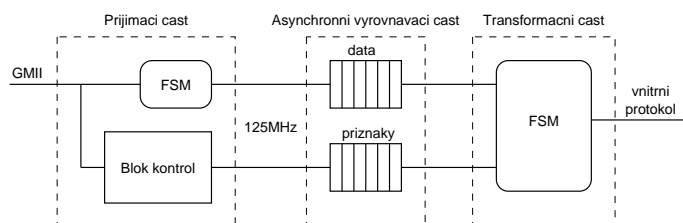


Obrázek 1: Architektura

Cílem tohoto článku je prezentovat architekturu sady generických komponent v podobě IP core pro příjem a vysílání paketů na rozhraní 1Gb Ethernetu. Komponenty komunikují s jednotkami pracujícími na fyzické vrstvě (phyttery) pomocí rozhraní GMII. Tyto komponenty mohou být využity v široké škále síťových aplikací na bázi programovatelných hradlových polí FPGA. Komponenty plně splňují normu IEEE 802.3[1] zejména pro plně duplexní režim. Hlavní výhodou je možnost genericky měnit šířku datové cesty a ve-

likost vyrovnávací paměti a tím lépe přizpůsobit jednotky konkrétním požadavkům cílové aplikace.

## 2 VSTUPNÍ JEDNOTKA (IBUF)



Obrázek 2: Architektura vstupní jednotky

Vstupní jednotka se skládá ze tří samostatných podkomponent. První část analyzuje protokol GMII a přeposílá pouze MAC client data do druhé části. Paralelně probíhají kontroly jako například výpočet kontrolního součtu (CRC), kontrola MAC adresy (možnost zvolit promiskuitní mód), kontrola položky Len/Type, délky paketu, atd. Po ukončení příjmu je ověřen kontrolní součet s položkou FCS na konci paketu. Poté je do druhé části vyslán vektor příznaků, který obsahuje výsledky jednotlivých kontrol.

V prostřední části se data převádějí z datové šířky rozhraní GMII na požadovanou generickou šířku a jsou ukládána do vyrovnávací paměti. Stejně tak je uložen do vyrovnávací paměti vektor příznaků. Velikost vyrovnávacích pamětí lze zvolit pomocí generického parametru. Je vhodné použít asynchronní vyrovnávací paměti kvůli možnosti odlišné frekvence síťové aplikace od frekvence rozhraní GMII. Je taktéž uvažována možnost softwarově nastavit při kterých chybách se paket zahodí a při kterých se pošle k dalšímu zpracování. Tímto způsobem je možno zvýšit propustnost celé síťové aplikace odfiltrováním nepotřebných paketů s chybami.

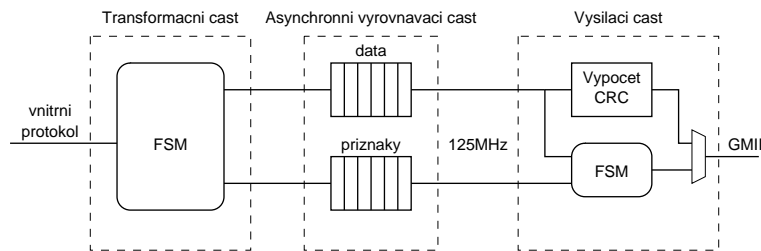
Poslední část slouží ke zpřístupnění dat a příznakových vektorů konkrétní síťové aplikaci. Pro většinu z nich by měla postačovat navržená architektura. Data a vektor příznaků jsou převáděna na tzv. příkazový protokol. Na výstup jsou posílána data a kontrolní data (příznak vektorů, časová značka, atd) v blocích uvozených příslušným příkazem.

## 3 VÝSTUPNÍ JEDNOTKA (OBUF)

Výstupní jednotka je taktéž rozdělena, podobně jako vstupní, na tři části. První část analogicky převádí vnitřní protokol síťové aplikace na data a vektor příznaků (v současné implementaci pouze příznak platnosti paketu).

Prostřední část slouží opět jako vyrovnávací paměť generické velikosti, na jejímž výstupu jsou data převáděna z generické šířky na šířku rozhraní GMII. Taktéž poskytuje informaci o tom, že je některá vyrovnávací paměť zaplněna (jednotka dále nepřijímá data a je na síťové aplikaci, aby se s tím vyrovnala).

Pokud jsou k dispozici data a je nastaven příznak platnosti, poslední část začne vysílat paket s ohledem na minimální mezeru na rozhraní GMII. Současně je z dat počítán



Obrázek 3: Architektura výstupní jednotky

kontrolní součet, který je připojen za konec dat paketu. V případě potřeby je paket doplněn na minimální délku.

#### 4 IMPLEMENTACE

Jednotky byly implementovány v jazyce VHDL, následně syntetizovány pomocí nástroje Precision Synthesis a nahrány do hradlového pole typu FPGA Virtex-II firmy Xilinx Inc. Pro otestování byla zvolena datová šířka 16 bitů, velikost vyrovnávací paměti pro data 16382 bajtů a velikost paměti pro vektory příznaků 127 položek.

Pro zjištění maximální pracovní frekvence byla provedena analýza délek kombinačních cest. Časově nejkritičtější část v jednotce IBUF byla identifikována v přijímací části, kde se analyzuje protokol GMII. Podobně v jednotce OBUF byla časově nejkritičtější vysílací část. Požadovaná frekvence pro rozhraní GMII byla v obou případech dosažena.

#### 5 VÝSLEDKY PO PLACE AND ROUTE

	BRAM	FF	LUT	GMII CLK	DESIGN CLK
IBUF	10	400	447	7.779 ns	8.849 ns
OBUF	10	268	316	7.509 ns	9.453 ns

#### 6 ZÁVĚR

V tomto článku byla prezentována architektura sady komponent pro komunikaci s rozhraním GMII, navržená pro technologii FPGA. Hlavní výhodou je vysoká flexibilita navrženého řešení, ať už jde o generickou šířku dat, vyrovnávacích pamětí, nebo o možnost snadného nahrazení některé z podkomponent. Jednotky byly otestovány v hradlovém poli FPGA Virtex-II s rychlostním stupněm –4.

#### REFERENCE

- [1] IEEE: Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications. IEEE Std 802.3 Edition. 2002. Duben 2005.
- [2] Xilinx, Inc.: DS031-1 Virtex-II 1.5V Field Programmable Gate Arrays. Říjen 2001.