

RT LEVEL DIGITAL CIRCUIT DESIGN TESTABILITY VERIFICATION

Jaroslav ŠKARVADA, Master Degree Programme (5)
Dept. of Computer Systems, FIT, BUT
E-mail: xskarv02@stud.fit.vutbr.cz

Supervised by: Dr. Richard Růžička

ABSTRACT

The main goal of this work is to develop and implement software system for automatic testability verification of Register Transfer (RT) level Digital Circuit Design (DCD). In the implementation of the system, a C/E Petri Nets approach is used. The input to the system is formal specification of DCD and the output from the system is the decision if the DCD is testable or not. If the system is marked as nontestable, the operator intervention to DCD must be performed in order to make the circuit testable.

1 ÚVOD

Stále větší složitost číslicových obvodů vyžaduje, aby se již v rané etapě jejich návrhu uvažovalo o zajištění jejich snadné testovatelnosti. Při použití takového přístupu lze totiž dosáhnout dobré testovatelnosti číslicového obvodu při zachování nízkých ekonomických nákladů na jeho výrobu. Dnes dosažitelný stupeň integrace umožňuje vyrábět tak komplikované obvody, u kterých je prakticky nemožné uvažovat o zajištění jejich snadné testovatelnosti bez využití automatizovaných softwarových systémů. V rámci projektů řešených na UPSY FIT takovýto softwarový systém pro podporu testovatelnosti číslicových obvodů již během jejich návrhu vzniká. Součástí tohoto systému je i nástroj pro verifikaci testovatelnosti návrhu číslicového obvodu, jehož vývoj a implementace je předmětem této práce. Tento nástroj pracuje s formálním modelem číslicového obvodu na úrovni meziregistrových přenosů (RT level), který byl již dříve analyzován a případně modifikován některou metodou pro zajištění jeho snadné testovatelnosti. Jako vstupu pro verifikaci může být použito buď výstupu z již dříve realizovaného systému, který implementuje strukturovanou metodu analýzy testovatelnosti vedoucí na částečný scan nebo může být použito libovolného jiného formálního návrhu číslicového obvodu, pokud splňuje definovaný vstupní formát. Implementovaný nástroj potom prověří, zda je daný obvod skutečně testovatelný. Během testu se ověřuje, zda lze skutečně sestavit cesty (tzv. *i cesty*) pro přenos diagnostických dat k a od každé komponenty obvodu a jestli během sestavování těchto cest nedochází ke konfliktům a uváznutím. K tomuto je s úspěchem využito aparátu C/E Petriho sítí. Výstupem nástroje je pak rozhodnutí, zda je daný obvod skutečně testovatelný či nikoliv. Pokud obvod testovatelný není, je nutný manuální zásah operátora, který musí patřičným

způsobem modifikovat strukturu verifikovaného obvodu, aby bylo dosaženo jeho testovatelnosti.

2 PRINCIP VERIFIKACE TESTOVATELNOSTI

Testování číslicového obvodu spočívá v přivedení testovacích dat na každý prvek obvodu, následném sejmutí odezvy tohoto prvku na testovací data a vyhodnocení (viz [2]). Pro přenos diagnostických dat lze s úspěchem využít *i cest*. *I cesta* umožňuje transparentní přenos dat (bez jejich modifikace) mezi dvěma prvky obvodu. Nejkratší *i cestou* je vlastně pouhé galvanické propojení dvou prvků. Většinou lze však v číslicovém obvodě nalézt i delší *i cesty*, které vedou přes jeden nebo více obvodových prvků. Obvodové prvky, ležící na těchto *i cestách* však musí mít tzv. *i režim* činnosti, tzn. musí být možno je nastavit tak, aby byly vzhledem k procházejícím datům transparentní. Např. u sčítačky dosáhneme nastavení *i režimu* tak, že na její druhý vstup přivedeme hodnotu 0 (tzv. datově závislý *i režim*).

Strukturovaná metoda vedoucí na částečný scan, která je popsána v [2], zajistí existenci všech potřebných *i cest* v obvodě. Tato metoda ale spoléhá jen na pouhou existenci *i cesty*, avšak už nebere v úvahu podmínky za kterých tyto *i cesty* existují. Pro sestavení *i cesty* je totiž nutné nastavit *i režim* u všech prvků na této *i cestě* ležících a pokud tyto prvky mají datově závislý *i režim* (např. sčítačka), znamená to také sestavení dalších pomocných *i cest* pro přivedení dat nutných k nastavení *i režimu* (např. u sčítačky hodnota 0 na druhý vstup). Tyto pomocné *i cesty* však mohou kolidovat s hlavní *i cestou*, což může vést ke konfliktům a uváznutím při sestavování *i cest* a to ve svém důsledku znemožní otestování číslicového obvodu. Proto je nutné ověřit, zda je testovací data skutečně možné přivést k požadovanému obvodovému prvku (řídít jej) a zda je také skutečně možné sejmout odezvu tohoto prvku (pozorovat jej). K tomu slouží níže popsána metoda verifikace testovatelnosti číslicového obvodu.

Vhodným prostředkem pro verifikaci testovatelnosti jsou C/E Petriho sítě, protože problém bezkonfliktního dopravení testovacích dat k testovanému prvku a bezkonfliktního dopravení odezvy testovaného prvku na výstupní vývod obvodu lze lehce transformovat na problém dosažitelnosti značení v C/E Petriho síti, který je už snadno řešitelný. Pro řešení tohoto problému lze použít buď např. v [3] formálně definované algoritmy anebo lze dokonce s úspěchem využít již existujících nástrojů pro analýzu Petriho sítí jako PESIM (viz [4]) a INA (viz [5]).

Verifikace testovatelnosti návrhu číslicového obvodu pak probíhá následovně: nejdříve je nutné pro každý prvek obvodu sestavit odpovídající C/E Petriho síť, která zahrnuje *i cesty* a prvky na těchto *i cestách* ležících, které jsou nezbytné z hlediska říditelnosti, pozorovatelnosti vyšetřovaného prvku. Obvodový prvek je v Petriho síti definován pomocí přechodu Petriho sítě a místa definují uzly obvodu. V každém uzlu se může vyskytovat v podstatě libovolná hodnota signálu, nicméně pomocí C/E Petriho sítě lze modelovat pouze přítomnost signálu (značka se vyskytuje v daném místě). Na první pohled to vypadá jako významné omezení modelu, jenže během verifikace nás zajímá jen, lze-li testovací data bezkonfliktně dopravit na místo určení a už je lhostejné jaká tato testovací data ve skutečnosti jsou. Proto je model C/E Petriho sítě dostačující, značka v místě definuje přítomnost signálu, jehož hodnota je důležitá z hlediska aplikace testu, ale pro verifikaci skutečná hodnota signálu význam nemá. Pro transformaci obvodových prvků na prvky Petriho sítě lze využít algoritmů uvedených v [1]. Dalším krokem při verifikaci testovatelnosti daného obvodového prvku je zkoumání dosažitelnosti značení Petriho sítě. Pokud použijeme některého softwarového

automatizovaného prostředku, znamená to transformaci Petriho sítě do vstupního formátu, který je vyžadován tímto prostředkem, jeho spuštění a interpretaci výsledků. Pokud nepoužijeme externího software, musíme vygenerovat strom (množinu) dosažitelných značení z počátečního značení samostatně např. pomocí modifikovaného algoritmu z [3]. Počáteční značení v navrženém modelu je takové značení, kdy značku obsahují jen místa reprezentující vstupní vývody obvodu a žádná jiná místa značku neobsahují. Konstrukce stromu dosažitelných značení může být u komplikovanějších struktur časově i prostorově velmi náročná, z tohoto důvodu může být použití optimalizovaného externího software výhodnější. Jakmile máme k dispozici strom dosažitelných značení, ověříme, zda je daný obvodový prvek skutečně testovatelný, což provedeme následovně:

- 1) Množina dosažitelných značení musí obsahovat takové značení, kdy všechny vstupní uzly testovaného prvku zároveň obsahují značku, což jinými slovy znamená, že testovací data je možné dopravit k testovanému prvku (už ale není řečeno, jestli budou v reálném obvodu data na vstupech prvku přítomna opravdu ve shodném časovém okamžiku, protože časovou synchronizaci tato analýza neřeší).
- 2) Nyní se může provést přechod, který reprezentuje testovaný prvek, provedením tohoto přechodu je simulováno otestování obvodového prvku – značky ze vstupů prvku se přemístí na výstup(y) prvku.
- 3) Dále musí být možné dopravit odezvy testovaného prvku na výstupní vývody obvodu, což znamená, že musí být ze značení dosaženého v bodě 2) dostupné značení, ve kterém se všechny značky dostanou na výstupní vývody, kde zmizí – toto značení je tedy shodné s počátečním značením.

3 ZÁVĚR

Pokud jsou výše uvedené tři podmínky (nebo resp. podmínka 1 a 3) splnitelné, znamená to, že je daný obvodový prvek testovatelný. Pak už jen zbývá shodným způsobem otestovat všechny další obvodové prvky. Pokud třeba jen jeden z nich nesplní předcházející podmínky, znamená to, že obvod jako celek testovatelný není a jeho navrhovaná struktura musí být modifikována. Nápravu automatizovanými prostředky zatím ještě sjednat nelze, protože toto dosud nebylo úspěšně vyřešeno. Případná automatizovaná modifikace návrhu obvodu při neúspěchu verifikace může být tedy předmětem dalšího výzkumu.

LITERATURA

- [1] Růžička, R.: Formální přístup k analýze testovatelnosti číslicových obvodů na úrovni RT [disertační práce 2001]. VUT FIT, Brno, 2001
- [2] Kotásek, Z.: Uplatnění principů říditelnosti/pozorovatelnosti při návrhu číslicových obvodů [habilitační práce]. VUT FEI, Brno, 1999
- [3] Češka, M.: Petriho sítě. Akademické nakladatelství CERM, Brno, 1994
- [4] Češka, M., Skácel, M.: Petrin Net Tool PESIM. Sborník 5th International Workshop on Petri Nets and Performance Models. IEEE Computer Society Press, Praha, 1993
- [5] Roch, S., Starke, P. H.: INA Integrated Net Analyzer Version 2.2 Manual. Humboldt-Universität zu Berlin Institut für Informatik Lehrstuhl für Automaten- und Systemtheorie. Dokument dostupný na URL: <http://www.informatik.hu-berlin.de/lehrstuehle/automaten/ina/> (listopad 1999)