

XILINX SPARTAN-3 FPGA

Tomáš BRICH, Magister Degree Programme (5)
Dept. of Radioelectronics, FEEC, BUT
E-mail: t.brich@t-email.cz

Supervised by: Dr. Jaromír Kolouch

ABSTRACT

The Xilinx Spartan-3 is a 1.2 V Field-Programmable Gate Arrays device. It is manufactured by Xilinx since October 2003 using 90 nm technologies. These devices are designed for high speed, high volume and low cost applications, especially for consumer electronics. Target of my work is to learn how to use Spartan-3 devices and to make design of testing board. This board will be used for parameters measurement of Spartan-3, simulating and for demonstrating this to student in laboratory lessons.

1 ÚVOD

Integrované obvody řady Spartan vyráběné firmou Xilinx jsou rozsáhlé, vysoce výkonné programovatelné obvody typu FPGA s širokým rozsahem použití a nízkou cenou. Celá řada obsahuje tři vývojové skupiny Spartan-I, Spartan-II a Spartan-3 lišících se především svou rozsáhlostí, tedy počtem programovatelných hradel a vstupně/výstupních pinů. Tyto skupiny se dále dělí na podskupiny podle velikosti napájecího napětí a ty pak dále podle rozsáhlosti. Integrované obvody jsou dodávány v široké škále pouzder. Architektura umožňuje každodenní přeprogramování konfigurace obvodu přímo v aplikaci bez nutnosti obvod vyjmout. Tyto obvody přinášejí svou rozsáhlostí a rychlostí nové množství v návrhu digitálních obvodů.

2 ROZBOR

FPGA řady Spartan-3 jsou nyní vyráběny 90 nm technologií. Jde o řadu, která byla odvozena od výkonnější řady Virtex, která je určena pro náročné aplikace především v investičních celcích. Společným znakem integrovaných obvodů řady Spartan-3 je vysoký výkon a nízká cena. Proto jsou vhodné především k použití v aplikacích spotřební elektroniky. Vyráběná řada obsahuje osm typů lišících se počtem systémových hradel od 50 000 do 5 000 000 a počtem uživatelských I/O pinů. Konfigurační data definují logickou funkci FPGA a jeho parametry. Napájecí napětí jádra je 1,2 V, kmitočet hodinového signálu může být až 326 Mhz. Obvody Spartan-3 jsou složeny z pěti základních bloků:

- Základním blokem architektury Spartan-3 jsou tzv. konfigurovatelné logické bloky (Configurable Logic Blocks – CLB). Ty obsahují programovatelné kombinační obvody Look Up Table – LUT kde každé kombinaci vstupních dat odpovídá logická informace L/H na výstupu podobně jako u paměti ROM. Dále jsou v CLB obsaženy klopné obvody. Propojení mezi jednotlivými členy CLB zajišťují programovatelné multiplexery. CLB se sdružují do matic – polí.
- Vstupně/výstupní obvody (Input/Output Blocks – IOBs). Ty zajišťují propojení vstupně/výstupních pinů s maticí CLBs. Každý pin může být definován uživatelem jako vstupní, nebo výstupní. Počet I/O pinů může být až 784 u nejrozsáhlejší verze. I/O obvody lze konfigurovat jako nesymetrické, nebo symetrické – diferenční. Lze definovat vstupní, nebo výstupní impedanci I/O pinu systémem Digitally Controlled Impedance – DCI, čehož lze využít při impedančnímu přizpůsobení při propojení elektricky dlouhým vedením. I/O obvody jsou pro zajištění co největší flexibility v propojování s ostatními obvody kompatibilní s logickými úrovněmi odpovídajícími napájecímu napětí v rozsahu 1,2 V až 3,3 V podle 17 norem pro nesymetrické propojení a podle šesti norem pro diferenční. To vyžaduje použití zvláštního napájecího zdroje VCCO pro I/O obvody. Lze využít přenos dat s vzestupnou i sestupnou hranou hodinového signálu Double Data Rate – DDR.
- HW binární násobička pro násobení 18 bitových binárních čísel. To umožňuje použít tyto obvody k digitálnímu zpracování signálů. Násobičky jsou schopné provést 326 milionů operací (MAC) s dvěma 18-ti bitovými čísly za sekundu.
- Hodinový časovací obvod Digital Clock Manager, který obsahuje obvod frekvenční syntézy a obvod fázového klíčování.
- Paměť RAM pro uložení dat organizovaná do bloků po 18 kbit.

Každý blok má asociovanou spínací matici pro propojení s ostatními bloky. Obvody Spartan-3 jsou plně podporované vývojovým prostředím Xilinx ISE. Nutno podotknout, že IO řady Spartan-3 nemá kompatibilní vývody s žádnými IO předešlých řad

FPGA Spartan-3 se konfiguruje po zapnutí napájecího napětí natažením konfiguračních dat do vnitřní statické RAM paměti konfigurace z externího paměťového média, např. paměti EPROM. Připojení externí paměti je možné pěti způsoby: Master Parallel, Slave Parallel (8 bitů), Master Serial, Slave Serial a Boundary Scan (JTAG), kdy jsou konfigurační data přenášena z připojeného počítače. Doporučené je použití Flash PROM paměti fy. Xilinx XCFxxP pro paralelní propojení a XCFxxS pro sériové propojení. Konfigurační data pro implementaci logických funkcí lze psát v jazyku VHDL v systému Xilinx WebPack, který rovněž umožňuje konfiguraci parametrů FPGA Spartan-3 a simulaci vytvořených konfiguračních dat.

2.1 NÁVRH VÝVOJOVÉ DESKY

Tato vývojová deska byla navržena pro testování funkcí FPGA Spartan-3, pro simulaci navrhovaných konfigurací a pro demonstraci v laboratorních cvičeních. Deska umožňuje testovat funkci a parametry jednotlivých bloků FPGA Spartan-3 jako je DCI a DCM a lze simulovat navrhované konfigurace. To vše v reálných podmínkách, což ve vývojovém prostředí nelze.

Vývojová deska je navržena pro FPGA typu XC3S200 v pouzdru PQ200, které má vyvedeno 141 uživatelských I/O pinů, z nichž lze vytvořit 62 diferenčních párů. 62 I/O pinů

FPGA Spartan-3 je vyvedeno na třídař 96 pinový konektor. Všechny tyto I/O piny lze párovat. Dvojice pinů tvořící pár jsou na konektoru umístěny proti sobě v řadách A a C. Prostřední řada kontaktů konektoru B je uzemněna. Tím je dosaženo toho, že na připojeném plochém kabelu jsou vystřídány signálové vodiče a zem, což vede ke snížení přeslechů. Šest těchto pinů je typu IO/GCLK, což znamená, že je lze definovat jako vstupně/výstupní pro data nebo pro hodinový signál. Na tento konektor lze rovněž připojit vnější zdroj napájecího napětí VCCO. To umožňuje napájet I/O obvody FPGA z připojeného zařízení. Tím je zajištěna kompatibilita napěťových úrovní s připojeným obvodem. Další výhodou je větší univerzálnost a finanční úspora. Deska plošného spoje pro FPGA Spartan-3 musí být přesného a kvalitního provedení, protože použité pouzdro PQ200 má vývody s roztečí pouze 0,5 mm. Je však zbytečné na ni umisřovat další obvody, které již mohou být realizovány na plošném spoji nižší kvality, nebo na nepájivém kontaktním poli. Přepínání napájení VCCO mezi stabilizátorem na desce a přívodem z konektoru se děje pomocí přepínače „Jumper“.

Vstup údajů je dále možný ze 16 přepínačů na desce, které jsou přímo připojeny na I/O piny FPGA. Pro indikaci údajů slouží 15 LED diod a šestimístný displej. Převod do kódu sedmissegmentového displeje a přepínání mezi jednotlivými desetinnými místy zajišťuje FPGA pomocí implementované struktury. Data zobrazovaná displejem a LED diodami jsou definována konfigurací FPGA. Na desce jsou dále umístěny tři konektory BNC pro připojení koaxiálního kabelu a osciloskopu při testování funkce DCI a další měření pomocí osciloskopu. Tyto konektory jsou přímo připojeny na I/O piny FPGA. Pro generování hodinového signálu je na desce umístěn krystalový oscilátor v pouzdru DIL. Dále jsou umístěna dvě tlačítka pro generování jednotlivých hodinových pulsů. Ta jsou spolu s oscilátorem připojena na piny typu IO/GCLK.

Pro napájení je použito čtyř stabilizátorů pro stabilizaci napětí VCCINT, VCCAUX, VCCO a 3,3 V pro napájení konfigurační paměti. U stabilizátoru VCCO lze měnit výstupní napětí v pěti krocích od 1,5 V do 3,3 V. Napájecí napětí celé desky je 5 V až 15 V, lze měřit proudový odběr jádra. Je zajištěna ochrana proti nesprávnému zapojení napájecího napětí.

Pro uložení konfiguračních dat slouží sériová Flash EPROM typu XCF01S. Pro připojení počítače je vyveden konektor rozhraní JTAG. Tento konektor lze připojit k počítači pomocí kabelu Xilinx Download Cable, nebo Parallel Cable. Takto připojený FPGA lze konfigurovat pomocí některého vývojového systému Xilinx, např. WebPack verze 6 a vyšší.

LITERATURA

- [1] Spartan-3 1.2 V FPGA Family: Komplete Data Sheet. (Katalogový list ds099.pdf), dokument dostupný na: <http://www.xilinx.com/>
- [2] In-System Programmable Configuration PROMs: (Katalogový list ds123.pdf), dokument dostupný na: <http://www.xilinx.com/>